

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199233

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
G 1 1 C 11/401		G 1 1 C 11/34	3 6 2 D
G 0 6 F 12/02	5 9 0	G 0 6 F 12/02	5 9 0 A
G 1 1 C 7/00	3 1 2	G 1 1 C 7/00	3 1 2 C

審査請求 有 請求項の数 9 O L (全 17 頁)

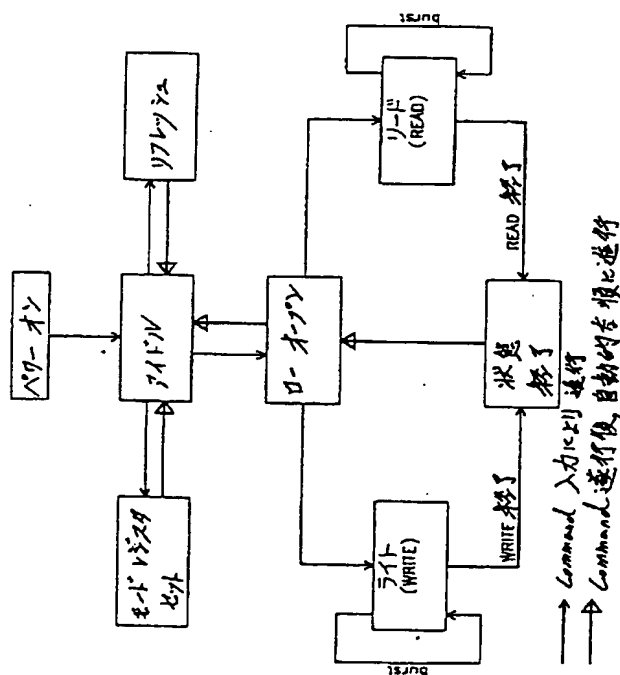
(21) 出願番号	特願平9-315444	(71) 出願人	591024111 現代電子産業株式会社 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(22) 出願日	平成9年(1997)11月17日	(72) 発明者	徐 禎 源 大韓民国京畿道利川市夫鉢邑牙美里山136-1 現代電子産業株式会社内
(31) 優先権主張番号	96-54194	(74) 代理人	弁理士 長谷川 芳樹 (外4名)
(32) 優先日	1996年11月15日		
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 高速バースト動作制御方法及び装置

(57) 【要約】

【課題】本発明はEDOモードのメモリで用いられる信号をそのまま用い、同一のパッケージが可能でありながら t C A C を減らすことによりバースト E D O モードの動作速度を凌駕する高速バーストリード・ライト動作を行うことができるようにした高速バースト動作制御方法及び装置を提供すること。

【解決手段】電源オンされて内部回路がプリチャージされた後アイドル状態になり、アイドル状態で入力される命令によりローオープン状態となればカラムアドレスが入力される / C A S 信号の立ち下がりエッジで / W E 信号に従いリードモード、ライトモード、リード／ライトモード、ライト／リードモードが決定されて動作が行われ、リードモード、ライトモード、リード／ライトモード、ライト／リードモードの動作が終了すると自動的にローオープン状態に戻る。



1

## 【特許請求の範囲】

【請求項1】 メモリ素子における高速バースト動作制御方法において、

電源ONされ前記メモリ素子の内部回路がプリチャージした後アイドル状態になる過程と、

前記アイドル状態で入力される命令によりローオープン状態となれば、カラムアドレスが入力される／CAS信号の立ち下がりエッジで／WE信号によりリードモード、ライトモード、リード／ライトモード、ライト／リードモードが決定され動作が進められる過程及び、

前記リードモード、ライトモード、リード／ライトモード、ライト／リードモードの動作が終了すれば自動的に前記ローオープン状態に戻る課程であることを特徴とする高速バースト動作制御方法。

【請求項2】 前記／CAS信号の立ち下がりエッジに合せ、／OE信号と／WE信号のセットアップタイム条件とホールドタイム条件が決定されることを特徴とする請求項1記載の高速バースト動作制御方法。

【請求項3】 前記リードモード時に、前記／RAS信号の活性化後にローアドレスが入力され、前記／CAS信号の活性化後にカラムアドレスが入力されるに従いそのカラムアドレスに該当するバーストデータを、カスレイタンシ及びバースト長さを基に出力させる動作を行うことを特徴とする請求項1記載の高速バースト動作制御方法。

【請求項4】 前記リードモード時に、前記バーストデータが出力する場合、基準になる前記／CAS信号の立ち下がりエッジで／OE信号が“ロー”となることを特徴とする請求項3記載の高速バースト動作制御方法。

【請求項5】 前記ライトモード時に、前記／RAS信号の活性化後にローアドレスが入力され、前記／CAS信号の活性化後にカラムアドレスが入力されるに従いカスレイタンシ及びバースト長さの有無を基準に、そのカラムアドレスに該当するバーストデータを入力する動作を行うことを特徴とする請求項1記載の高速バースト動作制御方法。

【請求項6】 前記リード／ライトモード時に、前記／RAS信号の活性化後にローアドレスが入力され、前記／CAS信号の活性化後にカラムアドレスが入力された以後に／WE信号が“ハイ”になるに従い、カスレイタンシ及びバースト長さの有無を基にその入力されたカラムアドレスからリードされたデータを出力させる段階と；所定時間が経過し前記／WE信号が“ロー”になれば、前記カラムアドレスにデータをライトする段階の順に動作することを特徴とする請求項1記載の高速バースト動作制御方法。

【請求項7】 前記ライト／リードモード時に、前記／RAS信号の活性化後にローアドレスが入力され、／CAS信号の活性化後にカラムアドレスが入力された後に／WE信号が“ロー”になるに従い、カスレイタンシ及

2

びバースト長さの有無を基にその入力されたカラムアドレスヘデータを入力する段階と；所定時間が経過し前記／WE信号が“ハイ”になれば、前記カラムアドレスに対するデータをリードする段階順に動作することの特徴とする請求項1記載の高速バースト動作制御方法。

【請求項8】 メモリ素子における高速バースト動作制御装置において、カス信号を入力して同一位相のカスクロックを出力するカスクロック発生手段と、

前記カスクロックにより同期化し、カラムアドレスバッファの出力信号(YA)をラッチするカラムアドレスラッチ手段と、

前記カスクロックにより同期化し、カラムアドレス信号を出力して前記カラムアドレスラッチ手段に出力するバーストアドレスカウンタ手段と、

前記カスクロックにより同期化し、前記カラムアドレスラッチ手段に貯蔵された前記カラムアドレス信号を受け入れ該当セルのデータを選択するカラムデコードと、

前記カスクロックにより同期化し、入力されたデータをラッチするためのデータ出力バッファとを含むことを特徴とする高速バースト動作制御装置。

【請求項9】 前記カスクロックに同期化し、セルにデータを入・出力するセンスアンプ及び入・出力ゲート部を含むことを特徴とする請求項8記載の高速バースト動作制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高速バースト動作制御方法及び装置に関し、より詳しくは、次世代バスクロック周波数に対応して高速バーストリード・ライト(Read・Write)動作を行うことができるようになった高速バースト動作制御方法及び装置に関する。

## 【0002】

【従来の技術】コンピュータの主記憶装置に用いられるディラム(DRAM)が多様になりながら、ワークステーション(Work station)のように性能が求められるシステムではクロック同期式の高速ディラムを搭載するが、このように高速ディラムを搭載する理由は、メモリバスクロック周波数を高めデータ伝送速度を高めるためである。

【0003】一番多く普及されている標準的なディラムは、高速ページモード(fast page mode)を有し、高性能システムからコスト(cost)を優先にするシステムに至るまで大部分は高速ページモードのディラムを用いてきた。

【0004】しかし、システムの求めに従い高速ディラムが求められ非同期式の高速ページモードディラム(Fast Page Mode DRAM)を改良した拡張データ出力(Extended Data Out、以下“EDO”という)モードのディラムを幅広く用いることになった。

50

3

【0005】EDOモードデイルムの一番大きい長所は、既存の高速ページモードデイルムと費用は同じでありながらも動作サイクルはさらに早いということである。ラスアクセス時間(RAS access time: tRAC)が最大50nsecである製品の場合、高速ページモードデイルムの動作サイクル時間は最小35nsecであるのに比べEDOモードデイルムサイクル時間は20nsecと短くなる。

【0006】従って、EDOモードの主記憶は30~40MHzのクロックのメモリバスを動作させることができる。しかし、バスクロック周波数が40MHz以上になればEDOモードデイルムの使用は困難となる。このような問題点を解決するため、マイクロン(Micron)社ではEDOモードよりクロック周波数を高めることができるバーストEDOモードを提案している。ラスアクセス時間(tRAC)が50nsecであるデイルムの場合バーストEDOモードの動作サイクル時間は最小15nsecでEDOモードよりさらに短くなる。

【0007】即ち、基本使用法はEDOモードデイルムと殆ど同じでありながらもEDOモードよりさらに高い

40~50MHzのバスクロック周波数に対応して動作する。

【0008】米国インテル(Intel)社の次期マイクロプロセッサであるP6のバスクロックは、66MHzであるためマイクロプロセッサが待機せずにデータを伝送するためにはデータ伝送速度66MHzのメインメモリを構成しなければならない。ラスアクセス時間(tRAC)が最大50nsecの製品の場合、バーストEDOモードでの最大サイクル周波数は66.7MHzであるが、カスアクセス時間(CAS access time: tCAC)が10nsecと長く66MHzのバスクロックへの対応が困難である。

【0009】一方、シンクロノスデイルムは66MHzのバスクロックに対応して使用可能であるが、EDOデイルムより値段(Cost)が高いので低い値段が求められるパーソナルコンピュータのメインメモリに対する適用が遅れている。

【0010】現在バーストEDOデイルムの場合、ラスアクセス時間(tRAC)が50nsecの製品においてバーストサイクル時間(tPC)が最小15nsecであり、カスアクセス時間(tCAC)が最大10nsecなので最大動作周波数は66.7MHzである。

【0011】しかし、バーストEDOモードデイルムはシステム構成後に最大周波数の66.7MHzでの動作が困難である。これはデータの出力が始まってから/CAS信号を“ロー アクティブ(Low Active)”させるまでの時間のためである。

【0012】再言すればtPCが15nsecでデータをリードする場合、tCACが最大10nsecなのでデータが出力してから/CAS信号を“ロー アクティ

4

ブ”させるまでの時間が5nsecしかなく、データが保持される時間も3nsecしか保証することができないため信号間のスキュー(Skew)と配線での遅延を考慮すればタイミング設計が困難となる。

【0013】従って、次世代のバスクロック周波数である66MHzと75~100MHzの高速動作に対応してPCのメインメモリに用いられるためには、メモリ素子の最大動作周波数が100MHz以上の高速でなければならない。

【0014】図1は、従来技術に係るバーストEDOモードのリード時の動作タイミング図である。/RAS信号が“ロー アクティブ”されてローアドレス(XA)が入力されtRCD1(RAS信号がアクティブされた後/CAS信号がアクティブされるまで所要する時間)時間後に/CAS信号が“ロー アクティブ”され、カラムアドレス(YA)が入力されると入力したYAのデータであるDAOから三番目後のカラムアドレス(YA+3)に対するデータであるDA3までを連続的に出力する。

【0015】特に、一番目のデータであるDAOはtRCD2(/RAS信号がアクティブされ、/CAS信号がアクティブした後、前記/CAS信号が一番目の“ハイ”から“ロー”にトグルされるまで所要する時間)後に“ロー アクティブ”される/CAS信号からtCAC後に出力される。

【0016】前記図1では、YAとYBに対するデータ(DA0~DA3及びDB0~DB3)を連続的に出力した後で/WE信号が“ロー アクティブ”されバーストリード動作を終了する。/WE信号と/OE信号は/CAS信号に係りなく非同期式に入力され、入・出力データ(DQ)との多様なAC特性変数を有する。四つ以上の連続的なバーストデータをリードする場合、最初にカラムアドレスが入力された以後の毎4番目の/CAS立ち下がりエッジごとに新しいカラムアドレスを入力すればよい。

【0017】図2は、従来技術に係るバーストEDOデイルムのカラム経路を説明するため採用したブロック図であり、バーストEDOモードデイルムでは一般に/CAS信号によりカラムアドレスラッチ10とデータ入・出力バッファ12, 14が調整される。二段のバイプライン構造が用いられるため、EDOモードに比べ高速のカラムアクセス動作が可能である。しかし、バーストEDOモードは外部クロックを用いない非同期式動作を行い単純に二段のバイプライン構造だけ適用するため、tCACをこれ以上減少できない欠点を有する。

【0018】

【発明が解決しようとする課題】以上で説明したように、従来のバーストEDOモードでは外部クロックを用いない非同期式動作を行えば単純に二段のバイプライン構造だけ適用するためtCACをこれ以上減少できず、

5

従って、システム構成後に最大周波数の66.7MHzで動作できない問題点を有する。

【0019】

【課題を解決するための手段】従って、本発明は前記の問題点を解決するためのものであり、EDOモードのメモリで用いられる信号をそのまま用いて同じパッケージが可能でありながらtCACを減少することにより、バーストEDOモードの速度を凌駕する高速バーストリード・ライト動作を行うことができるようにした高速バースト動作制御方法、及び装置を提供することにその目的を有する。

【0020】前記の目的を達成するため、本発明の実施例に係る高速バースト動作制御方法は、電源ONされ内部回路がプリチャージされた後、アイドル状態になる過程と、前記アイドル状態で入力される命令によりローオープン状態となれば、カラムアドレスが入力される/CAS信号の立ち下がりエッジで/WE信号に従いリードモード、ライトモード、リード/ライトモード、ライト/リードモードが決定され動作が推進される過程、及び前記リードモード、ライトモード、リード/ライトモード、ライト/リードモードの動作が終了すれば自動的に前記ローオープン状態に戻る過程で構成される。

【0021】そして、本発明の実施例に係る高速バースト動作制御装置は、カス信号(CAS信号)を入力にして同一位相のカスクロック(CASクロック)を出力するカスクロック発生手段と、カスクロックにより同期化されカラムアドレスバッファの出力信号(YA)をラッチするカラムアドレスラッチ手段と、カスクロックにより同期化されカラムアドレス信号等を出力してカラムアドレスラッチ部に出力するバーストアドレスカウンタ手段と、カスクロックにより同期化されカラムアドレスラッチ部に貯蔵されたカラムアドレス信号を受け入れ該当セルのデータを選択するカラムデコードと、カスクロックにより同期化されデータ出力バッファに入力されたデータをラッチするためのデータ出力バッファを含む。

【0022】

【発明の実施の形態】以下、添付図面を参照して本発明の実施形態を詳しく説明することにする。

【0023】図3は、本発明の一実施形態に係る/CAS信号を利用して発生させた内部クロックの波形図で、/CAS信号の立ち下がりエッジに合せてカラムアドレス、/WE信号及び/OE信号が入力されるが、このように/OE信号と/WE信号が/CASの立ち下がりエッジに合せてセットアップタイム(Set up Time)とホールドタイム(Hold Time)の条件で入力されるのが本発明の特徴である。

【0024】/RAS信号が“ロー アクティブ”されリード又はライト動作を行う場合、tRCD(/RASと/CAS間の遅延時間)遅延後に入力される/CAS信号に合せて内部クロックが生成される。

6

【0025】/CAS信号をシステムクロックに動作させて入力すれば、内部クロックもこれに同期し生成される。

【0026】同図によれば、内部クロックを用いてカラム回路を同期化することにより高速シンクロメモリに匹敵する高速アクセスが可能である。即ち、高速シンクロメモリに適用される三段のパイプライン構造やPrefetch構造を本発明の高速バーストレメモリ構造にも適用してtCACを減少することができる。

【0027】図4は、本発明に係る高速バーストレメモリの状態を示すもので、“電源 On”状態となれば内部回路がプリチャージされた後アイドル状態となり、各命令に従い“モードレジスタセット(Mode Register Set)”や“リフレッシュ”又は“ローオープン(Row Open)”状態となる。“ローオープン”状態ではカラムアドレスが入力される/CAS信号の立ち下がりエッジで/WE信号に従いリード又はライト状態となる。

【0028】バーストリード又はバーストライト動作が終了すれば、カスクロック1サイクルの間“状態終了(State Termination)”状態を経て自動的に“ローオープン”状態となる。“状態終了”状態ではカラム経路をプリチャージしてバーストカウンタ及び制御回路をリセットした後、“ローオープン”状態となる。

【0029】図5は、本発明の一実施形態に係る制御装置のリード動作時に採用されるブロック図を示すものであり、/RAS信号、/WE信号そして/OE信号を入力されリード信号とデータマスク信号を出力する制御回路部16と、/CAS信号とリード信号を入力され同じ位相のカスクロックを出力するカスクロック発生器18と、/CAS信号とリード信号を入力されカラムアドレスがtAS(カラムアドレスセットアップタイム)と、tAH(カラムアドレスホールドタイム)の時間で/CAS信号の立ち下がりエッジに合せて入力されるカラムアドレスバッファ部20と、リード信号とカスクロックを入力され、前記カラムアドレスバッファ部20に入力された新規のカラムアドレスをラッチしてカラムデコード28で出力し、バーストリード又はバーストライト動作を行う時はバーストアドレスカウンタ部24からバーストカラムアドレスをラッチし、カラムデコード28に出力するカラムアドレスラッチ部22と、リード信号とカスクロックを入力されバースト動作を行う時、連続的なバーストカラムアドレスを生成して前記カラムアドレスラッチ部22に出力するバーストアドレスカウンタ部24と、/RAS信号を入力されてローアドレスを受け入れ、これをローデコード32でデコーディングするようにするローアドレスバッファ部26と、カスクロック信号とリード信号を入力され前記カラムアドレスラッチ部22のカラムアドレスをデコーディングするカラムデコ

7

ーダ28と、カスクロック、リード、データマスク信号を入力されカスクロックに合せてデータを連続的に出力するためのデータ出力バッファ30と、データバス及びスイッチを含んでセルデータを感じ増幅し、増幅されたデータをデータ出力バッファ30へ伝えるセンスアップ&IOゲート部34で構成される。

【0030】同図で、リード信号は／RAS信号が“ロー”となった後／WE信号がtWS（ライトイネーブルセットアップタイム）時間と、tWH（ライトイネーブルホールドタイム）時間で／CAS信号の立ち下がりエッジで“ハイ”であればリード信号が“ハイ”となる。リード信号は／CAS信号の立ち下がりエッジごとに／RAS信号“ロー”、／WE信号“ハイ”であることをチェックして生成されるためカスクロックに同期して作られる。／WE信号が“ロー”に変ればその／CAS信号の立ち下がりエッジからはリード信号が“ロー”となりリード動作が終了する。

【0031】データマスク信号はリード動作で／CAS立ち下がりエッジごとに／OE信号が“ロー”であることをチェックし、その／CAS信号の立ち下がりエッジからtCACの時間後に出力されるデータをマスキング（Masking）する。即ち、／OE信号が“ロー”の場合にはデータを出力し、“ハイ”の場合にはデータをマスキングしてデータが出力されない。

【0032】尚、前記カスクロック発生器18から出力するカスクロックがカラムアドレスラッチ部22、バーストアドレスカウンタ部24、カラムデコード28、センスアンプ及び入・出力ゲーティング部34とデータ出力バッファ30に入力されバイブライン動作を行うことにより、カラムアクセス動作を速やかにすることができ、即ち、tCAC時間を低減しtPC周期を減少させる。

【0033】図6は、図5に示す装置のリードサイクルの第1実施例を説明する動作タイミング図で、同図面ではCASレイタンス（CAS latency）が3であり、バースト長さが4の場合を説明する。

【0034】／RAS信号が“ロー”となりローアドレス信号（XA）が入力され、tRCDの時間後に／CAS信号が“ロー”となる時間（T1）にカラムアドレス信号（YA）が入力される。

【0035】従って、カラムアドレス信号（YA）に該当するDA0、DA1、DA2、DA3のバーストデータはそれぞれT3、T4、T5、T6からtCACの時間後に連続的に出力され、／CAS信号が“ロー アクティブ”となった後、tCOH時間の間データが保持される。

【0036】T5に入力されたカラムアドレス信号（YB）に該当するDB0、DB1、DB2、DB3のバーストデータはそれぞれT7、T8、T9、T10からtCACの時間後に連続的に出力される。／CAS信号が

8

“ハイ”から“ロー”に変化するTn時間に／WE信号はtWSのセットアップ時間とtWHのホールド時間で／CAS信号の立ち下がりエッジに合せて入力され、現在の状態が“リード”又は“ライト”状態であることを表す。

【0037】同図面ではT1で／WE信号が“ハイ”を保持しているため“リード”状態となり、T11で“ロー”となってバーストリード動作を終了する。リード状態では／OE信号に従い出力データが活性化するため、各バーストデータが出力するためには基準となる／CAS信号の立ち下がりエッジ（即ち、tCAC時間の基準となる／CAS信号の立ち下がりエッジ）で／OE信号が“ロー”にならなければならない。

【0038】ライト状態で／OE信号は無視（Don't care）されるため、ライト状態では／OE信号と係りなく動作する。

【0039】図7は、図5に示す装置のリードサイクルの第2実施例を説明する動作タイミング図で、図6と同一の信号体系により動作を行うことになるが、但し相違点といえば／WE信号がT9で“ロー”となるためその時間でリード動作を終了することである。

【0040】従って、同図面の場合カラムアドレス信号（YB）のデータ中でDB0とDB1だけ出力される。

【0041】前記の図6及び図7の説明で、カスレイタンス（CAS Latency）とは／CAS信号の立ち下がりエッジに合せてカラムアドレスが入力された後、何番目／CASに合せてデータが出力されるかをいう。バースト長さ（Burst Length）とは入力されたカラムアドレスに対し連続的に出力するバーストデータの個数をいう。従って、T2、T3、T4、T6、T7、T8ではカラムアドレスを受け入れない。

【0042】即ち、バースト長さに従い新規のカラムアドレスが入力される時点が決定される。例えば、連続的にリード又はライト動作を行うものと仮定すればバースト長さが2の場合にはT1、T3、T5、T7等で新規のカラムアドレスが入力されるのである。

【0043】バーストアドレスカウンタ部24では図5に示すようにT1即ち、／CAS信号の立ち下がりエッジでカラムアドレスバッファ部20にYAカラムアドレスが入力されると、このYA信号はカラムアドレスラッチ部22に貯蔵された後T2、T3、T4にはバーストアドレスカウンタ24によりYA+1、YA+2、YA+3カラムアドレスが連続的に生成されカラムアドレスラッチ部22に伝えられる。

【0044】図8は、本発明の一実施形態に係る高速バースト動作制御装置のライト動作のためのブロック図で、図5で説明した部分と同じ構成要素に対しては参照符号を同様に与えながらそれに対する説明は省略する。

【0045】同図面の構成と図5の構成との相違点は、制御回路部16の出力信号がリード信号の代りにライト

10

20

30

40

50

9

信号であり、データ出力バッファ30の代りにデータ入力バッファ36が備えられており、データ入・出力ラインを介してデータが入力されデータ入力バッファ36に貯蔵されたデータが、センスアンプ&IOゲート部34に入力されメモリセルアレイ38に貯蔵されることである。

【0046】即ち、制御回路部16は／RAS、／CAS、／WE及び／OE信号を入力されライト信号を生成する（ライトモードの場合／OE信号はdon't careである）。

【0047】そのライト信号は／RAS信号が“ロー”となった後、／WE信号がtWSのセンスアンプ時間とtWHのホールド時間で／CAS信号の立ち下がりエッジで“ロー”であればライト信号が“ハイ”になる。そのライト信号は／CAS信号の立ち下がりエッジごとに／RAS信号＝“ロー”、WE信号＝“ロー”であることをチェックして生成されるためカスクロックに同期して作られる。

【0048】その／WE信号が“ハイ”に変化すれば、その／CAS信号の立ち下がりエッジからはライト信号が“ロー”になりライト動作が終了する。

【0049】カラムアドレスラッチ部22は、ライト信号とCASクロックを入力されカラムアドレスバッファ20に入力された新規のカラムアドレスをラッチし、バーストライト（又はバーストリード）動作を行う時にはバーストアドレスカウンタ24からバーストカラムアドレスをラッチする。

【0050】バーストアドレスカウンタ24は、ライト信号とCASクロックを入力されバースト動作を行う時、連動的なバーストカラムアドレスを生成する。データ出力バッファ36はCASクロック、ライト信号を受けCASクロックに合せてライトデータを連続的に受け入れる。

【0051】図9は、図8に示す装置のリードサイクルの第1実施例を説明する動作タイミング図で、／RAS信号が“ロー”となりローアドレスXAが入力されtRCDの時間後に／CAS信号が“ロー”となるT1時間にカラムアドレスYMが入力される。

【0052】T1で／WE信号が“ロー”のためライト状態となり、カラムアドレスYM、YM+1、YM+2、YM+3にライトする四つのデータDM0、DM1、DM2、DM3が連続的に入力される。この時、各データは／CAS信号の立ち下がりエッジを基準にtDS（データ入力セットアップタイム）の時間とtOH（データ入力保持タイム）の時間を条件に入力される。

【0053】本ライトタイミング図では、前記図6と同様にバースト長さは4でありCASLatencyはライトでは何時も0である。前記図9はT5に入力されたカラムアドレスYN及びYN+1、YN+2、YN+3に対するデータDN0、ND1、DN2、DN3のデー

10

タがライトされた後で／RAS信号が“ハイ”となり“アイドル(idle)”状態となる。

【0054】図10は、図8に示す装置のライトサイクルの第2実施例を説明する動作タイミング図で、T7以後に／RAS信号が“ハイ”となるためライト動作を終了することになる。従って、カラムアドレスYN、YN+1、YN+2にDN0、DN1、ND2の三つのデータだけがライトされる。

【0055】図11は、本発明の一実施形態に係る高速バースト動作制御装置のリード／ライトサイクルの第1実施例を説明する動作タイミング図で、／RAS信号が“ロー”となりローアドレスXAが入力されtRCDの時間後に／CAS信号が“ロー”となるT1時間にカラムアドレスYAが入力される。T1で／WE信号が“ハイ”なのでリード状態となりカラムアドレスYA、YA+1、YA+2、YA+3からリードされた四つのデータDA0、DA1、DA2、DA3が連続的に出力される。

【0056】本リード／ライトタイミング図でもリード動作でのCASLatencyは3でありバースト長さは4である。T7で／WE信号が“ロー”となりT8時間には“状態終了”状態が自動的に“ローオープン”状態に変化する。従って、YBに該当するデータは出力されない。T9時間には／WE信号に従いリード又はライト状態が決定されるが／WE信号が“ロー”のためライト状態となりカラムアドレスYM、YM+1、YM+2、YM+3にデータをライトする。

【0057】図12は、本発明の一実施形態に係る高速バースト動作制御装置のリード／ライトサイクルの第2実施例を説明する動作タイミング図で、前記図11とは別にT6で／WE信号が“ロー”となり、T7で“状態終了”状態となり、T8からはライト動作が行われる。如何なる状態においても／RAS信号が“ロー”から“ハイ”になれば“アイドル”状態となる。

【0058】図13は、本発明の一実施形態に係る高速バースト動作制御装置のライト／リードサイクルの第1実施例を説明する動作タイミング図で、／RAS信号がローとなりローアドレスXAが入力されtRCDの時間後に／CAS信号がローとなるT1時間にカラムアドレスYMが入力される。

【0059】T1で／WE信号がローのためライト状態となり、カラムアドレスYM、YM+1、YM+2、YM+3に四つのデータDM0、DM1、DM2、DM3が連続的に入力されライトされる。

【0060】本ライト／リードタイミング図においてもリード動作でのCASレイテンシは3でありバースト長さは4である。T5で／WE信号がハイとなって“状態終了”状態となり、従って自動的に“ローオープン”状態に変化する。T6時間には／WE信号に従いリード又はライト状態が決定されるが、／WE信号がハイのた

11

めリード状態となりカラムアドレスYAに対するデータをリードする。T12には/WE信号がローとなりリード動作を終了する。

【0061】図14は、本発明の一実施形態に係る高速バースト動作制御装置のライト/リードサイクルの第2実施例を説明する動作タイミング図で、前記図13とは別にT3で/WE信号が“ハイ”となり“状態終了”状態となってT5からはリード動作が行われる。リード状態ではカラムアドレスYA, YA+1, YA+2, YA+3に対する四つのデータDA0, DA1, DA2, DA3が連続的に出力され、T10に/WE信号がローとなりリード動作を終了する。

【0062】図15は、本発明に適用されるモードレジスタセッティング動作を説明するためのブロック図で、/OE, /WE, /CAS, /RAS信号を入力されモードセット信号を出力する制御回路部16と、一部のアドレス信号が入力されハイのモードセット信号によりアドレス信号がセッティングされるモードレジスタ部40で構成される。

【0063】同図面に従えば、制御回路16でモードセット信号がWCB Rサイクルでハイとなりモードレジスタをセッティングする。この時、モードレジスタ部40には一部分のアドレスが入力しセッティングされる。

【0064】図16は、図15に示したモードレジスタをセッティングさせるためのWCB Rタイミング図であり、WCB Rとは/WE信号が“ロー アクティブ”された状態で/CAS信号が/RAS信号より先に“ロー アクティブ”されることをいう。前記図16に示したように、WCB Rサイクルで一部分のアドレスピンに入力されるアドレスは、アドレス信号として用いられることなくモードレジスタ40をセッティングする。本発明ではモードレジスタに、バースト長さは1, 2, 4, 8が、バーストタイプ(Burst Type)はInterleaved, Sequentialが、またCASレイテンシは1, 2, 3, 4がセッティングされる。

【0065】図17は、本発明に係るリードサイクルの際、出力イネーブル信号(/OE信号)による出力データのマスクングを現した動作タイミング図で、リード動作で出力されるデータの基準になる/CAS信号の立ち下がりエッジで/OE信号がtOS(/OE信号セットアップタイム)時間とtOH(/OE信号保持タイム)時間にローとなってこそデータが出力される。従って/OE信号がハイになる場合には、その出力データがマスクングになってDQ(データ入・出力端子)はハイインピーダンス状態となる。T4とT7で/OE信号がハイなのでDA1とDB0のデータは出力されない。

【0066】

【発明の効果】以上で説明したように、本発明は半導体メモリ装置に具現することになれば、従来バーストEDOモードで対応し難い66MHzバスクロックだけでな

12

く次世代75~100MHzのバスクロックに使用可能であり、シンクロノステラムとは別に外部クロックを用いないので全体メモリシステムの電力消費を低減することができる効果がある。

【0067】本発明の好ましい実施例等は例示の目的のためのもので、当業者であれば添付の特許請求の範囲に開示された本発明の思想と範囲を介し各種修正、変更、代替及び付加が可能であるはずである。

【図面の簡単な説明】

【図1】一般的なバーストEDO(拡張データ出力)ディラムのリード時の動作タイミング図。

【図2】一般的なバーストEDOディラムのカラム経路を説明するブロック図。

【図3】本発明の実施例に係る/CAS信号を利用して発生させた内部クロックの波形図。

【図4】本発明に係る高速バースト動作制御装置に適用された動作状態図。

【図5】本発明の一実施形態に係る高速バースト動作制御装置のリード動作を説明するブロック図。

【図6】図5に示す装置のリードサイクルの第1実施例を説明する動作タイミング図。

【図7】図5に示す装置のリードサイクルの第2実施例を説明する動作タイミング図。

【図8】本発明の一実施形態に係る高速バースト動作制御装置のライト動作のためのブロック図。

【図9】図8に示す装置のライトサイクルの第1実施例を説明する動作タイミング図。

【図10】図8に示す装置のライトサイクルの第2実施例を説明する動作タイミング図。

【図11】本発明の一実施形態に係る高速バースト動作制御装置のリード/ライトサイクルの第1実施例を説明する動作タイミング図。

【図12】本発明の一実施形態に係る高速バースト動作制御装置のリード/ライトサイクルの第2実施例を説明する動作タイミング図。

【図13】本発明の一実施形態に係る高速バースト動作制御装置のライト/リードサイクルの第1実施例を説明する動作タイミング図。

【図14】本発明の一実施形態に係る高速バースト動作制御装置のライト/リードサイクルの第2実施例を説明する動作タイミング図。

【図15】本発明に適用されるモードレジスタセッティング動作を説明するためのブロック図。

【図16】図15に示すモードレジスタをセッティングさせるためのWCB Rタイミング図。

【図17】本発明に係るリードサイクル時の出力イネーブル信号(/OE信号)による出力データのマスクングを現した動作タイミング図。

【符号の説明】

16…制御回路部

18…カスクロ

14

\*カバツファ

2 2 ... カラムア

3 2...ローデコーダ

26...ロード

34…センスアンプ&amp;I/Oゲーティング部

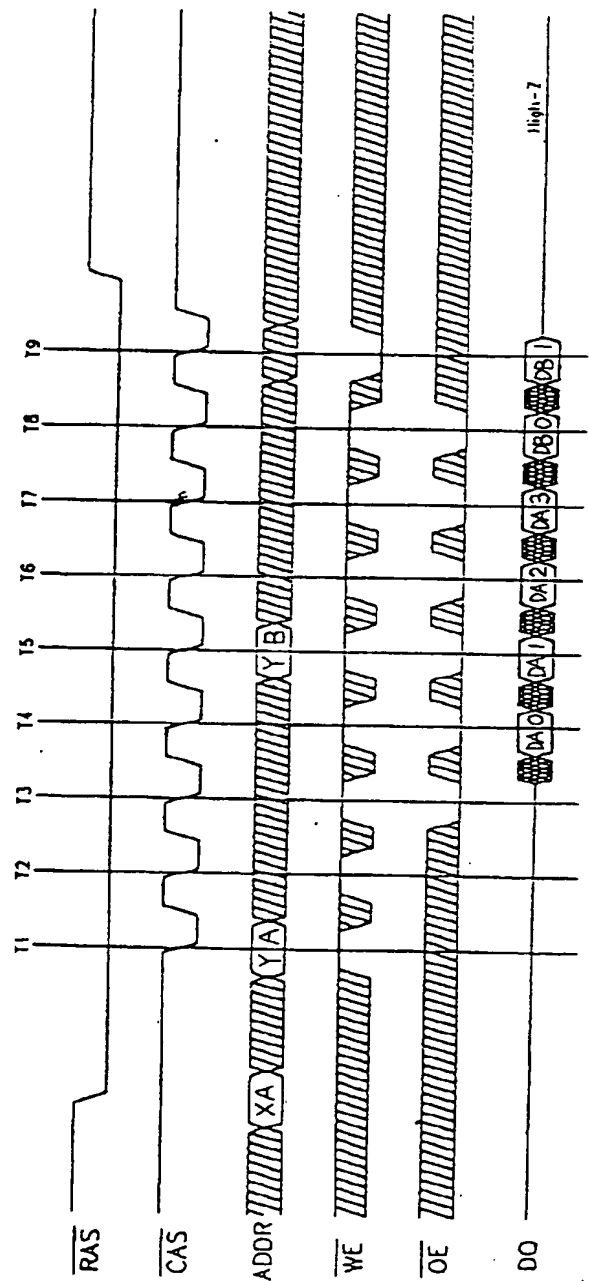
30...データ出 \*

### 36…データ入力バッファ

38...セルアレ

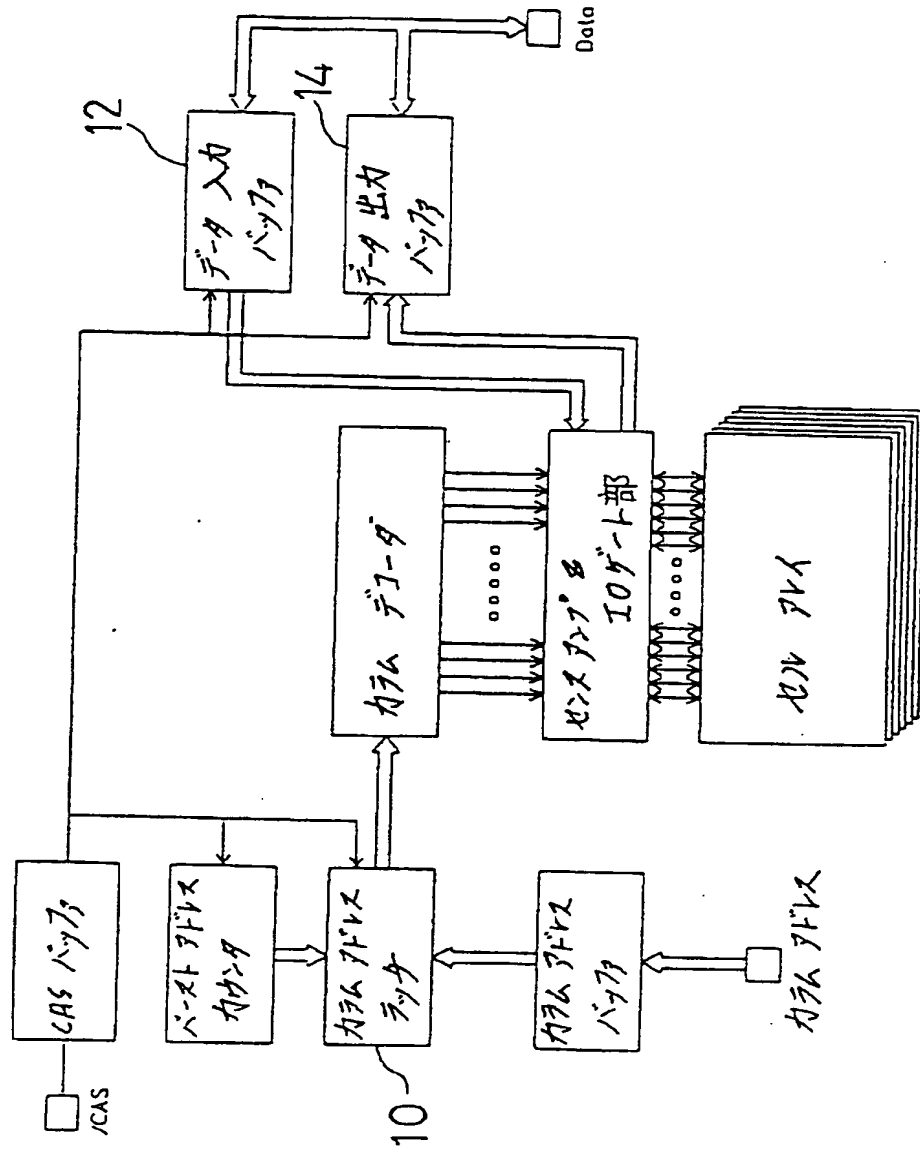
イ

【図 7】

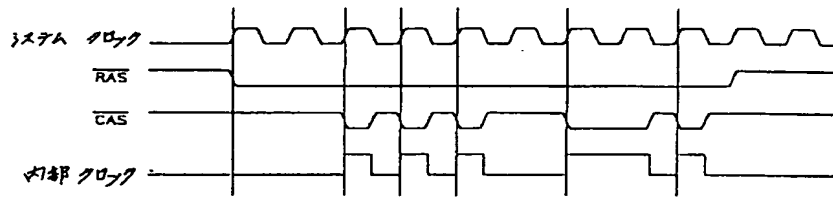




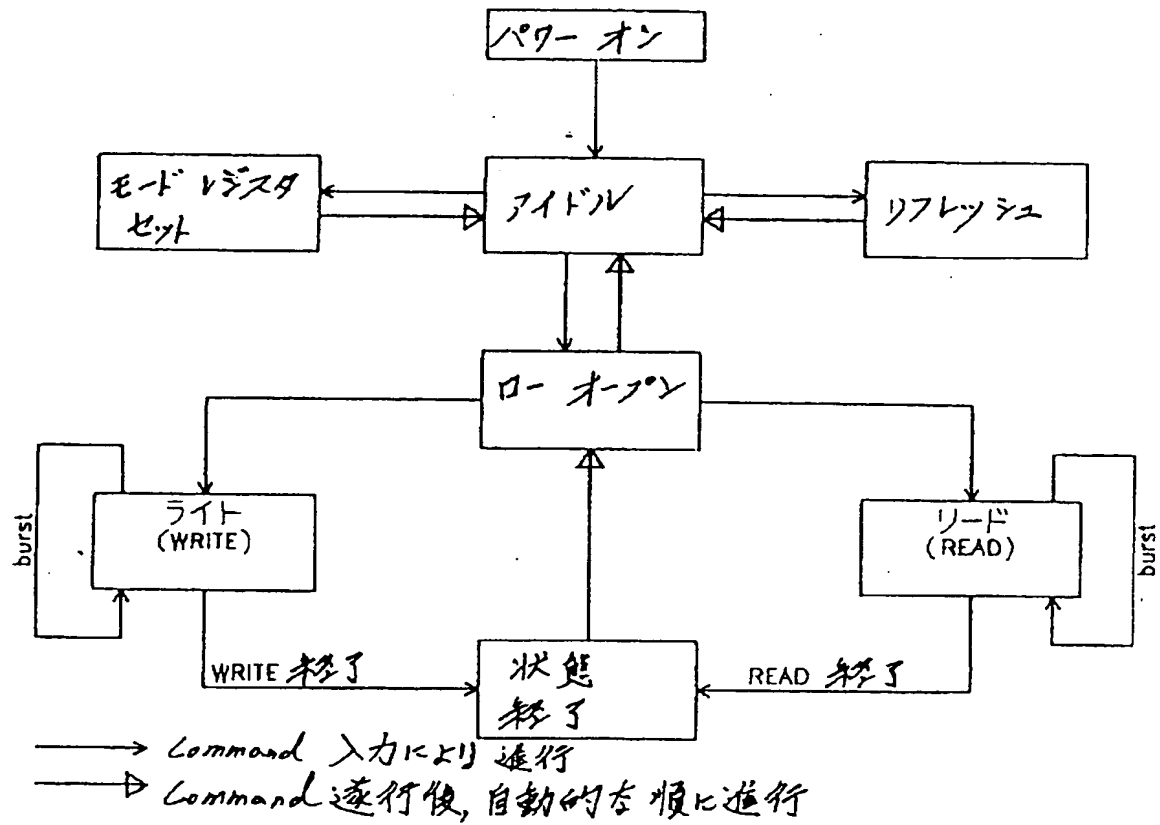
【図2】



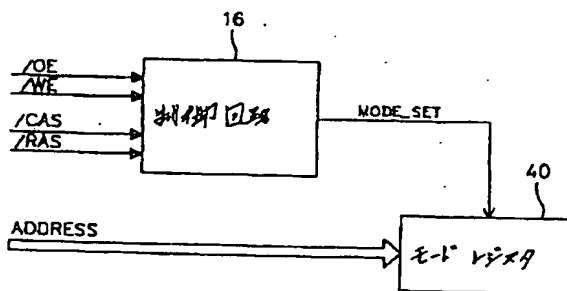
【図3】



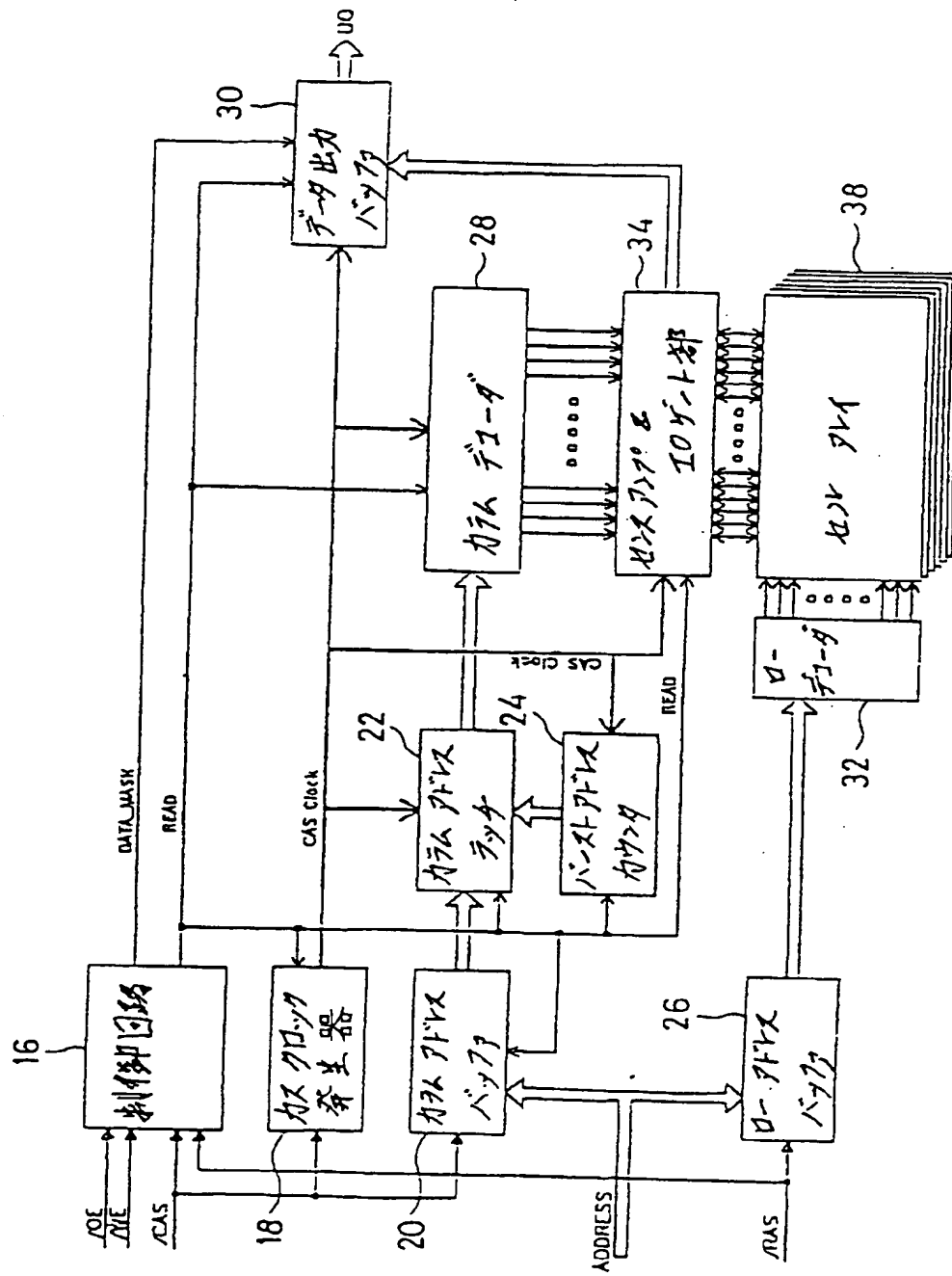
【図4】



【図15】



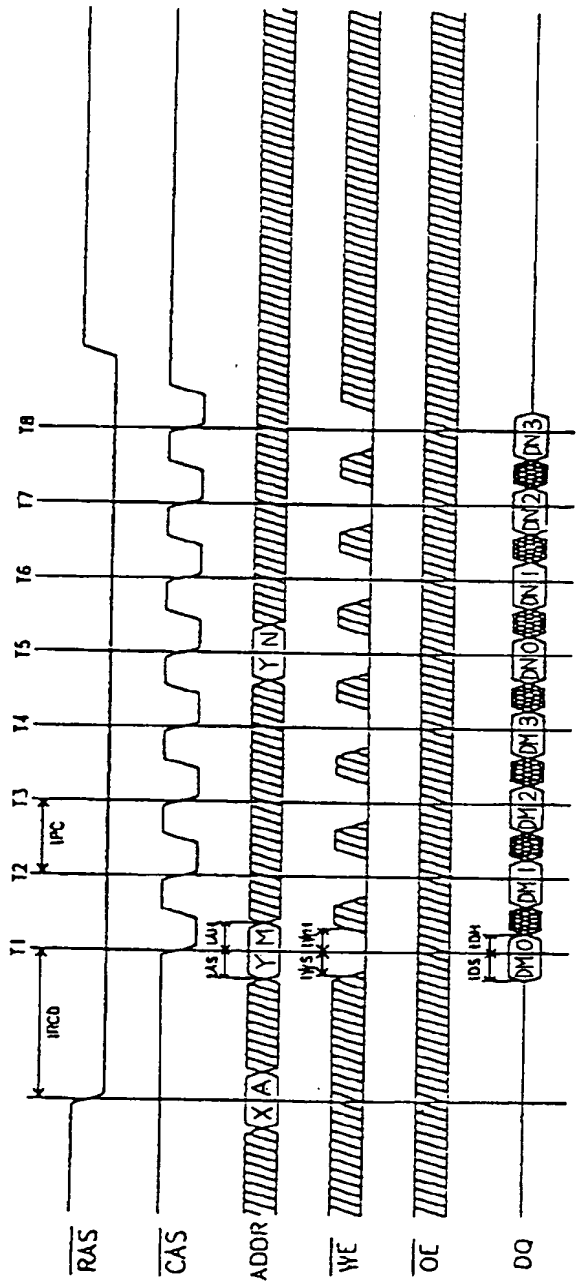
【図5】



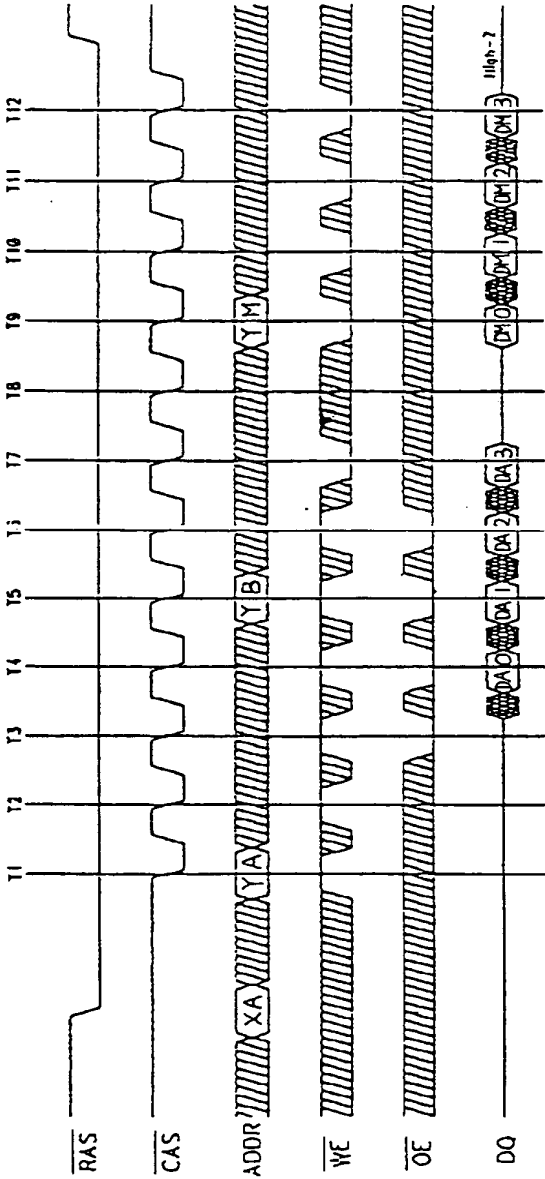




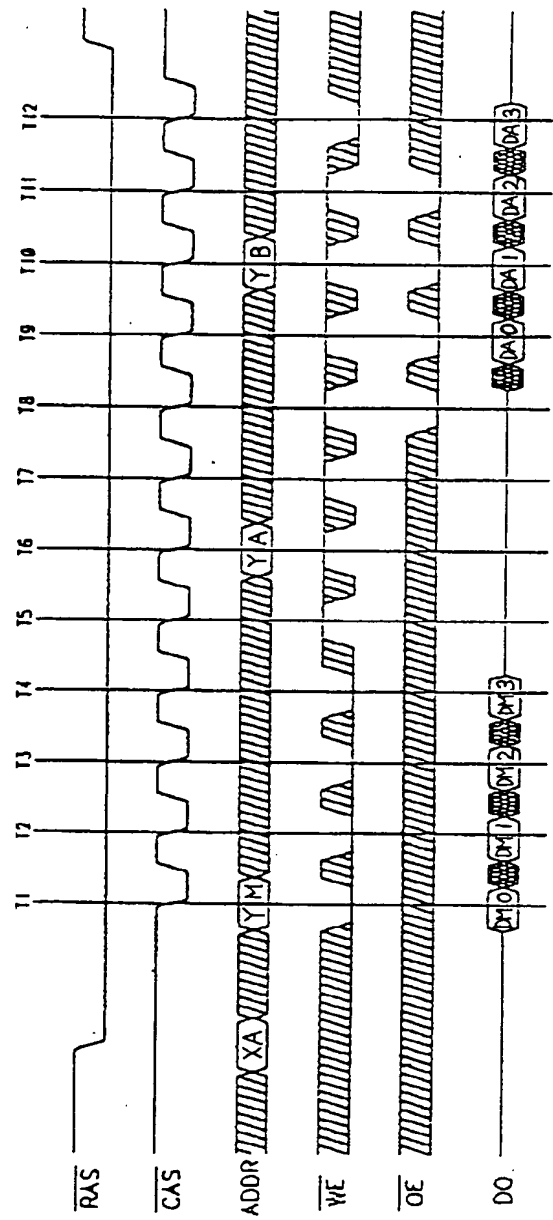
【図 9】



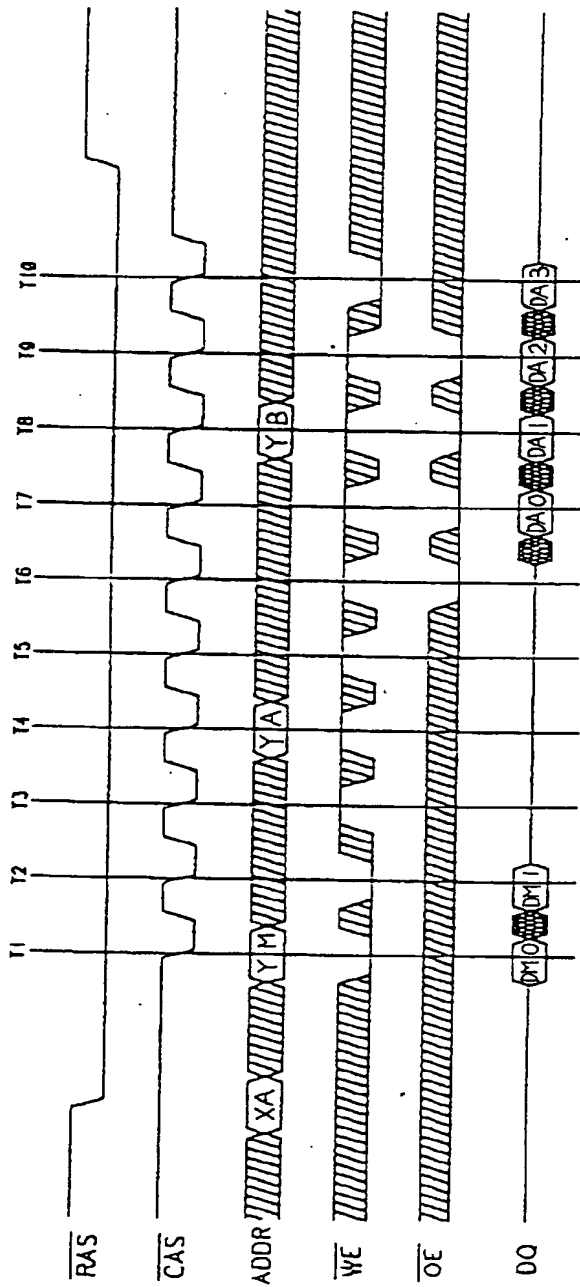
【図 11】



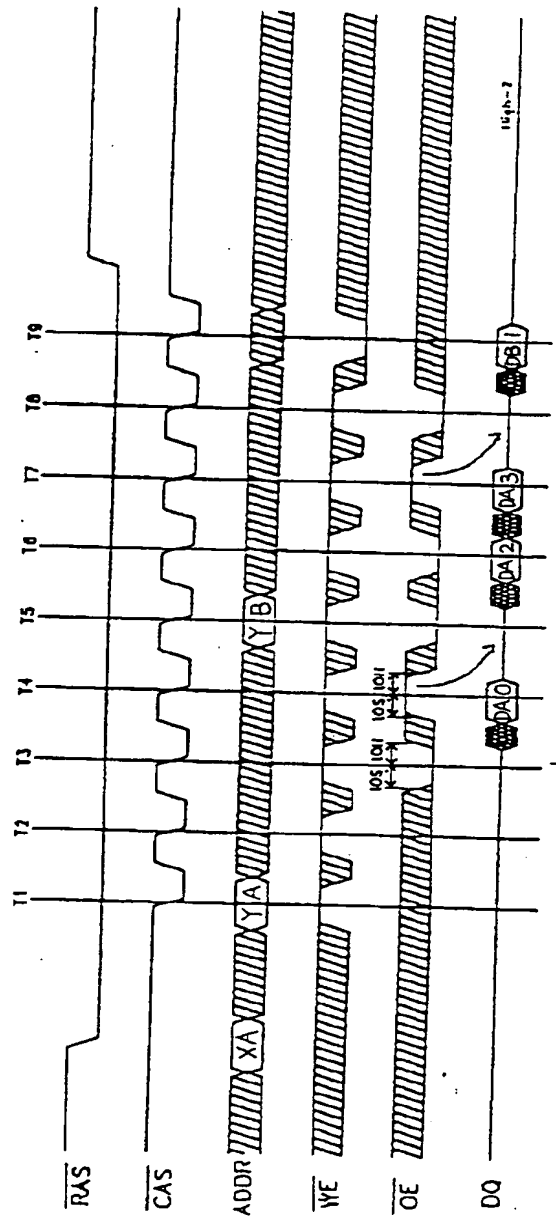
【图 13】



【図14】



【図17】





【図16】

